

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-046002

(43)Date of publication of application : 14.02.2003

(51)Int.Cl.

H01L 21/8247

G11C 16/02

G11C 16/04

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 2001-226719

(71)Applicant : SONY CORP

(22)Date of filing : 26.07.2001

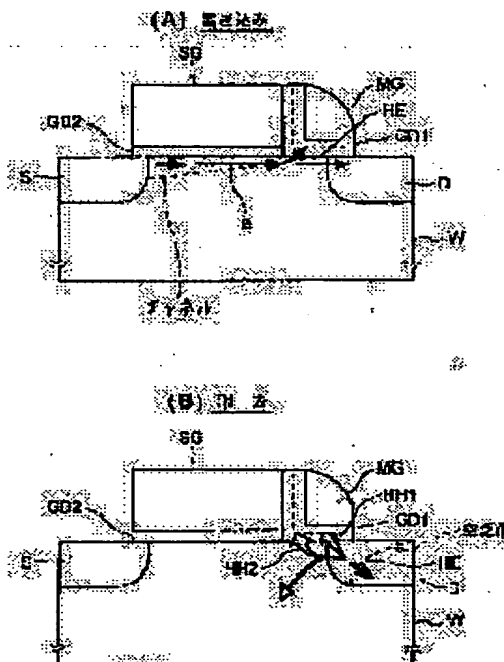
(72)Inventor : FUJIWARA ICHIRO

(54) NON-VOLATILE SEMICONDUCTOR MEMORY AND OPERATION METHOD

(57)Abstract

PROBLEM TO BE SOLVED: To reduce the time of for the overall write operation cycle, including reading and erasure, and enhance affinity with a CMOS process for facilitating realization of a low-cost memory hybrid system LSI.

SOLUTION: The memory has channel-sharing MIS transistors and memory transistors, having a gate dielectric film GD1 composed of a plurality of laminated dielectrics, including charge-storing means dispersed therein. At writing, hot electrons HE generated near the boundary of the MIS transistor and the memory transistor are injected into the gate dielectric film GD1 from the source S side thereof (Fig. 8A). At erasing, hot holes HH1, HH2 generated at the drain D side are injected in a distribution region of electrons stored in the gate dielectric film GD1 from the drain D side (Fig. 8B).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-46002

(P2003-46002A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)	
H 0 1 L	21/8247	H 0 1 L	29/78	3 7 1
G 1 1 C	16/02		27/10	4 3 4
	16/04	G 1 1 C	17/00	6 2 1 Z
H 0 1 L	27/115			6 1 1 A
	29/788			6 1 2 B

審査請求 未請求 請求項の数10 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2001-226719(P2001-226719)

(22) 出願日 平成13年7月26日(2001.7.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤原 一郎

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

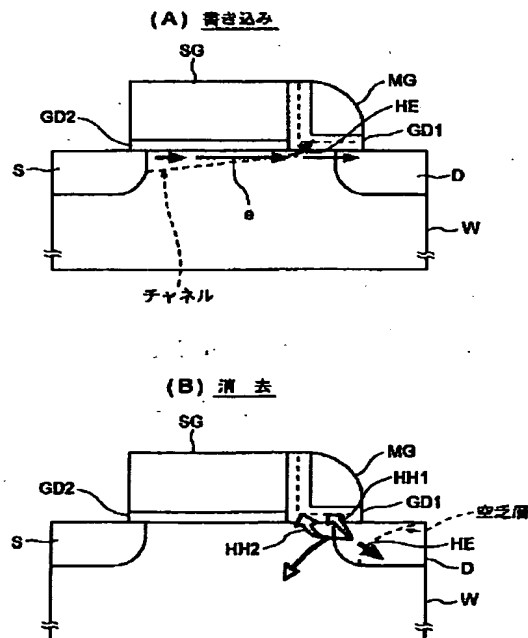
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ装置およびその動作方法

(57) 【要約】

【課題】読み出し、消去を含めた書き込み動作サイクル全体の時間が短く、CMOSプロセスとの親和性が高くして、低コストのメモリ混載システムLSIの実現を容易にする。

【解決手段】チャネルを共有したMIS型トランジスタとメモリトランジスタとを有し、メモリトランジスタのゲート誘電体膜GD1が複数の誘電体を積層させてなり、その内部に離散化された電荷蓄積手段を含む。書き込み時に、MIS型トランジスタとメモリトランジスタとの境界付近で発生したホットエレクトロンHEを、ゲート誘電体膜GD1内に、そのソースS側から注入する(図8(A))。消去時に、ドレインD側で発生したホットホールHH1、HH2を、ゲート誘電体膜GD1内で蓄積された電子の分布領域にドレインD側から注入する(図8(B))。



【特許請求の範囲】

【請求項1】ソース線とビット線との間に直列に接続されチャンネルを共有したMIS型トランジスタとメモリトランジスタとを有し、メモリトランジスタのゲート誘電体膜が複数の誘電体を積層させてなり、当該積層膜内部に離散化された電荷蓄積手段を含む不揮発性半導体メモリ装置の動作方法であって、

上記動作方法が以下の諸工程、すなわち、

書き込み時に、MIS型トランジスタとメモリトランジスタとの境界付近で発生したホットエレクトロンを、メモリトランジスタのゲート誘電体膜内にソース側から注入し、

消去時に、メモリトランジスタのドレイン側で発生したホットホールを、メモリトランジスタのゲート誘電体膜の電子の蓄積領域にドレイン側から注入する各工程を含む不揮発性半導体メモリ装置の動作方法。

【請求項2】上記MIS型トランジスタと上記メモリトランジスタとを有したメモリセルが行列状に複数配置され、同一行に属する複数のメモリトランジスタのゲートがワード線により接続されているメモリセルアレイが上記不揮発性メモリ装置内に設けられ、

当該メモリセルアレイに対する書き込みサイクルが以下の諸工程、すなわち、

メモリトランジスタのドレインが接続された全てのビット線と、選択された行のワード線との間に、所定の電圧を印加して、メモリトランジスタのドレインにホットホールを発生させ、

発生させたホットホールを対応するメモリトランジスタのゲート誘電体膜内に注入して、選択された行内のメモリセルに対し同時に消去を行い、

書き込みデータに応じて電荷注入が必要なセルが接続されたソース線とビット線との間に所定の電圧を印加し、かつ、上記選択されたワード線に所定の電圧を印加して、チャンネル内にホットエレクトロンを発生させ、ホットエレクトロンが発生したセル内で、当該ホットエレクトロンをメモリトランジスタのゲート誘電体膜内に注入して書き込みを行う各工程を含む請求項1記載の不揮発性半導体メモリ装置の動作方法。

【請求項3】上記ソース線の電圧印加と上記ビット線の電圧印加を、メモリセルの列ごとに行う請求項2記載の不揮発性半導体メモリ装置の動作方法。

【請求項4】上記動作方法が検証読み出し工程を含み、当該検証読み出し工程が更に以下の諸工程、すなわち、上記ホットエレクトロンの注入時と同じ方向の電圧を上記ソース線と上記ビット線間に供給し、上記メモリトランジスタのゲートに所定の電圧を印加し、

上記ビット線の電位変化を検出する各工程を更に含む請求項1記載の不揮発性半導体メモリ装置の動作方法。

【請求項5】ソース電圧を供給するソース線と、

ドレイン電圧を供給するビット線と、

ドレインがビット線に接続され、ゲート誘電体膜が複数の誘電体を積層させてなり、当該積層体の内部に離散化された電荷蓄積手段を含むメモリトランジスタと、

05 メモリトランジスタとソース線との間にメモリトランジスタとチャンネルを共有して直列接続されたMIS型トランジスタと、

ホットエレクトロンをメモリトランジスタのゲート誘電体膜内にソース側から注入するための電圧、ホットホールをメモリトランジスタのゲート誘電体膜内にドレイン側から注入するための電圧を、ソース線、ビット線、メモリトランジスタのゲート、MIS型トランジスタのゲートに対しそれぞれ必要な電圧レベルと極性にて供給する電圧供給回路とを有した不揮発性半導体メモリ装置。

15 【請求項6】上記電圧供給回路は、上記メモリトランジスタのドレイン側でバンド間トンネリング電流を発生させ、その電流に起因したホットホールを上記ゲート誘電体膜内に注入するために必要な大きさと極性の電圧を、少なくともメモリトランジスタのゲートとドレイン間に供給する請求項5記載の不揮発性半導体メモリ装置。

【請求項7】第1導電型半導体からなるチャンネル形成領域と、

第2導電型半導体からなりチャンネル形成領域を挟むソース領域およびドレイン領域と、

25 ドレイン領域に接したチャンネル形成領域部分上に積層された複数の誘電体膜からなり、チャンネル形成領域に対向した面内で離散化された電荷蓄積手段を内部に含む第1ゲート誘電体膜と、

第1ゲート誘電体膜のソース側端に近接したチャンネル形成領域部分上に形成され、電荷蓄積能力を有しない単層の誘電体からなる第2ゲート誘電体膜と、

30 第1ゲート誘電体膜上に形成された第1ゲート電極と、第1ゲート電極と絶縁され、第2ゲート誘電体膜上に形成された第2ゲート電極とを有した請求項5記載の不揮発性半導体メモリ装置。

【請求項8】第1導電型半導体からなるチャンネル形成領域と、

第2導電型半導体からなりチャンネル形成領域を挟むソース領域およびドレイン領域と、

40 ドレイン領域に接したチャンネル形成領域部分上に積層された複数の誘電体膜からなり、チャンネル形成領域に対向した面内で離散化された電荷蓄積手段を内部に含む第1ゲート誘電体膜と、

第1ゲート誘電体膜のソース側端に近接したチャンネル形成領域部分上に形成され、電荷蓄積能力を有しない単層の誘電体からなる第2ゲート誘電体膜と、第1ゲート誘電体膜上と第2ゲート誘電体膜上に形成されたゲート電極と

を有した請求項5記載の不揮発性半導体メモリ装置。

50 【請求項9】上記MIS型トランジスタと上記メモリト

ランジスタとを有したメモリセルが行列状に複数配置され、

同一行に属する複数のメモリトランジスタのゲートがワード線に接続され、

同一列に属する複数のMISトランジスタのソースが、列ごとに分離されたソース線に接続され、

同一列に属する複数のメモリトランジスタのドレインが、列ごとに分離されたビット線に接続されている請求項5に記載の不揮発性半導体メモリ装置。

【請求項10】上記MIS型トランジスタと上記メモリトランジスタとを有したメモリセルが行列状に複数配置されたメモリセルアレイと、上記電圧供給回路を含むメモリ制御回路、および、CMOSプロセスにより形成された他の回路が、同一の半導体基板に集積化されている請求項5記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直列接続されたメモリトランジスタとMIS型トランジスタとを有し、メモリトランジスタのゲート誘電体膜が複数の誘電体を積層されてなり、当該積層体の内部に離散化された電荷蓄積手段を有した不揮発性半導体メモリ装置と、その動作方法とに関する。

【0002】

【従来の技術】高度情報化社会、或いは高速、広域ネットワーク社会において、大容量のファイルメモリ、AV用途メモリに対するニーズは大きい。殊に、大容量ディスクメモリの代替として、或いはモバイル情報端末に使用される小型で信頼性が高いリムーバブルな記憶媒体として、不揮発性半導体メモリがその第1の候補になっている。

【0003】一方、現在主にプリント基板上に実現されている1つのシステムまたはサブシステムそのものを1つのLSIで実現することを目的としたシステムLSIは、将来の情報機器のサイズ、性能、価格を左右するキーデバイスとして注目されている。多くのシステムLSIにおいて、待機電源を必要としない不揮発性半導体メモリは必須となっている。システムLSI内に混載される不揮発性メモリにおいては、大容量、高速、低電圧、低消費電力などの従来の不揮発性メモリに要求される性能に加え、他のデジタル回路やアナログ回路を形成するCMOSプロセスとの高い親和性が要求される。

【0004】この混載用途の不揮発性メモリでは、従来、フローティングゲートFGを電荷蓄積層とするNOR型メモリセルが用いられてきた。ところが、このメモリセルでは、電荷蓄積手段として機能するフローティングゲートFGがポリシリコンなどの単層の導電膜からなるため、その下のトンネリング膜に局所的にリークパスが発生した場合、多くの蓄積電荷がリークパスを通して基板側に消失し、その結果、電荷保持特性が低下しやす

い。

【0005】そのような不利益を受けにくいことを理由に、ゲート誘電体膜が複数の誘電体を積層させてなり、その内部に電荷トラップなどの離散化された電荷蓄積手段を含むMONOS型などのメモリ素子が注目されている。MONOS型では、電荷蓄積手段が空間的に離散化されているために、リークパス周囲の保持電荷が局所的にリークするに過ぎず、その結果、FG型より電荷保持特性に優れる。

10 【0006】書き込み速度の向上を目的として、たとえば、チャネルホットエレクトロン(CHE)をソース側から注入するソースサイド注入型のMONOSTランジスタが報告された(IEEE Electron Device Letter 19, 1998, pp153)。このソースサイド注入型MONOST
15 ランジスタでは、サイドゲートの制御によりMONOSTランジスタのソース側に高電界を発生させるため、電荷の注入速度が改善された。

【0007】

【発明が解決しようとする課題】上述した従来の不揮発性メモリ装置では、特にシステムLSIに混載すること
20 による要求を全て満足することが難しい。

【0008】システムLSIのCMOSプロセスでは、素子の微細化が年々進み、現在はゲート長1.3 μ mが実用化されている。ところが、FG型では、前記した電荷保持特性の低下のためにトンネリング膜のスケーリングが困難であり、これがそのままゲート長のスケーリングを困難なものとしている。したがって、FG型をシステムLSIの混載メモリ素子に利用することを維持しようとすると、そのメモリプロセスとCMOSプロセスとの親和性が低下し、プロセス条件の共通性が保てない状況
25 を招いている。たとえば、ソース・ドレイン領域などの不純物拡散層は素子の微細化に伴って高濃度、薄層化を進める必要があるが、プロセスルール
30 の差が開き過ぎると、メモリ部とCMOS部とで別々に不純物拡散層を形成する必要が生じる。また、FG型では、プログラムや消去に10V以上の高電圧を必要とし、比較的高い耐圧を維持するための特殊プロセスを必要とする。一方、ロジック回路などでは低電圧化が進んでおり、この点でもプロセスの親和性が低下している。

40 【0009】前記した文献に記載の先行技術では、MONOS型素子に対しソースサイド注入により電荷の注入効率を高め、書き込み速度の向上に効果がある。しかし、不揮発性メモリの動作サイクルでは、一般に、書き込み前消去を行って、一旦、書き込み対象のセル全ての閾値をローレベルで揃えてから、必要なセルに書き込み
45 を行う。あるいは、消去レベルを揃えるために、さらに消去の前に全てのセルをハイレベルに揃えることもある。このように、不揮発性メモリの動作サイクル時間の短縮のためには書き込み速度の向上だけでは片手落ちであり、同時に、消去速度の向上を進める必要がある。ま

た、この先行技術では、消去にトップ酸化膜側から電子をトンネリングを利用して引き抜いている。したがって、消去速度が遅い。このため、動作サイクル時間の低減が十分でないという不利益がある。

【0010】このように、従来の不揮発性メモリ装置では、個々の書き込み時間や消去時間の低減という観点でメモリセルアレイ方式や動作方式が決定され、こらが動作サイクル全体の時間削減という観点から決定されていない。また、前記したようにシステムLSIに混載する観点での検討が不十分である。

【0011】本発明は、読み出し、消去を含めた書き込み動作サイクル全体の時間低減という観点から、あるいは混載用メモリとしての観点から好適な素子構造、セルアレイ方式および動作方法を新たに提案することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の観点に係る不揮発性メモリ装置の動作方法は、ソース線とビット線との間に直列に接続されたチャンネルを共有したMIS型トランジスタとメモリトランジスタとを有し、メモリトランジスタのゲート誘電体膜が複数の誘電体を積層させてなり、当該積層膜内部に離散化された電荷蓄積手段を含む不揮発性半導体メモリ装置の動作方法であって、上記動作方法が以下の諸工程、すなわち、書き込み時に、MIS型トランジスタとメモリトランジスタとの境界付近で発生したホットエレクトロンを、メモリトランジスタのゲート誘電体膜内にソース側から注入し、消去時に、メモリトランジスタのドレイン側で発生したホットホールを、メモリトランジスタのゲート誘電体膜の電子の蓄積領域にドレイン側から注入する。

【0013】この方法は、消去を含む書き込みサイクル内の動作に好適である。この場合、上記MIS型トランジスタと上記メモリトランジスタとを有したメモリセルが行列状に複数配置され、同一行に属する複数のメモリトランジスタのゲートがワード線により接続されているメモリセルアレイが上記不揮発性メモリ装置内に設けられ、当該メモリセルアレイ対する書き込みサイクルが以下の諸工程、すなわち、メモリトランジスタのドレインが接続された全てのビット線と、選択された行のワード線との間に、所定の電圧を印加して、メモリトランジスタのドレインにホットホールを発生させ、発生させたホットホールを対応するメモリトランジスタのゲート誘電体膜内に注入して、選択された行内のメモリセルに対し同時に消去を行い、書き込みデータに応じて電荷注入が必要なセルが接続されたソース線とビット線との間に所定の電圧を印加し、かつ、上記選択されたワード線に所定の電圧を印加して、チャンネル内にホットエレクトロンを発生させ、ホットエレクトロンが発生したセル内で、当該ホットエレクトロンをメモリトランジスタのゲート

誘電体膜内に注入して書き込みを行う各工程を含む。

【0014】好適に、上記ソース線の電圧印加と上記ビット線の電圧印加を、メモリセルの列ごとに行う。また、上記動作方法が検証読み出し工程を含み、当該検証読み出し工程が更に以下の諸工程、すなわち、上記ホットエレクトロンの注入時と同じ方向の電圧を上記ソース線と上記ビット線間に供給し、上記メモリトランジスタのゲートに所定の電圧を印加し、上記ビット線の電位変化を検出する各工程を更に含む。

10 【0015】この動作方法では、書き込みをソースサイド注入により行い、消去を、たとえばバンド間トンネリング電流に起因して発生したホットホールの注入により行うため、たとえば書き込み前消去を含む書き込み動作のサイクル時間が短くなる。また、書き込み後の検証のための読み出しを含む場合、ソース線は基準電圧で維持し、書き込み時のビット線電位から読み出し時のビット線電位に変化させるだけでよく、ソース線およびビット線の大きな振幅での電位変化を伴わない。さらに、ソース線とビット線が列ごとに分離されている場合、1つのワード線に接続されたメモリセル行を一括して動作させることができる。以上より、本発明の第1の観点に係る動作方法を用いることにより、並列動作させるメモリセル数が多い場合でも、消去および/または読み出しを含む書き込み動作のサイクル時間が低減される。

25 【0016】本発明の第2の観点に係る不揮発性半導体メモリ装置は、ソース電圧を供給するソース線と、ドレイン電圧を供給するビット線と、ドレインがビット線に接続され、ゲート誘電体膜が複数の誘電体を積層させてなり、当該積層体の内部に離散化された電荷蓄積手段を含むメモリトランジスタと、メモリトランジスタとソース線との間にメモリトランジスタとチャンネルを共有して直列接続されたMIS型トランジスタと、ホットエレクトロンをメモリトランジスタのゲート誘電体膜内にソース側から注入するための電圧、ホットホールをメモリトランジスタのゲート誘電体膜内にドレイン側から注入するための電圧を、ソース線、ビット線、メモリトランジスタのゲート、MIS型トランジスタのゲートに対しそれぞれ必要な電圧レベルと極性にて供給する電圧供給回路とを有している。この電圧供給回路は、好適に、上記メモリトランジスタのドレイン側でバンド間トンネリング電流を発生させ、その電流に起因したホットホールを上記ゲート誘電体膜内に注入するために必要な大きさ

40 と極性の電圧を、少なくともメモリトランジスタのゲートとドレイン間に供給する。

45 【0017】このような構成の不揮発性メモリ装置では、上記した機能を備えた電圧供給回路を有するため、前述した本発明の動作方法を好適に実施できる。

【0018】

【発明の実施の形態】第1実施形態

50 図1は、本発明の実施形態に係る不揮発性メモリ装置の

要部構成を示すブロック図である。この不揮発性メモリ装置は、大別すると、メモリ部と、たとえばCPUやロジック回路などのCMOS部を含む。メモリ部とCMOS部は同一の半導体基板に集積化されている。

【0019】このメモリ部は、メモリセルアレイMCA、ロウ制御回路RC、カラム制御回路CC、電源部PS、アドレス制御回路ACを含む。ロウ制御回路RCとメモリセルアレイMCAとは、複数のメモリワード線MWL、複数のセレクトワード線SWLにより接続されている。ロウ制御回路RCは、これらのワード線MWL、SWLを制御するための回路であり、ロウデコーダ、ロウバッファを含む。カラム制御回路CCとメモリセルアレイMCAとは、複数のソース線SL、複数のビット線BLにより接続されている。カラム制御回路CCは、これらのソース線やビット線を制御するための回路であり、カラム選択回路、センスアンプ、書き込み回路、カラムラッチ、入出力バッファなど、書き込み、消去および読み出しに必要なカラム側の回路全てを含む。電源部PSは電源電圧 V_{cc} から所定の電圧を生成する回路である。また、アドレス制御回路ACは、アドレス信号ADRを入力してクロックCLKに同期させて、xアドレスX-ADR、yアドレスY-ADRを出力する回路であり、アドレスバッファを含む。このうちロウ制御回路RC、カラム制御回路CCおよび電源部PSにより、本発明の“電圧供給回路”の機能が具体化されている。

【0020】図2は、第1実施形態に係る分離ソース線NOR型メモリセルアレイの等価回路図である。メモリセルM11、M12、…、M21、M22、…が、メモリセルアレイ内に行列状に配置されている。各メモリセルは、電荷蓄積能力を有したメモリトランジスタMTと、MIS型トランジスタから構成され電荷蓄積能力を有しないセレクトトランジスタSTとからなる。メモリトランジスタMTとセレクトトランジスタSTは、ソース線とビット線間に直列接続されている。すなわち、メモリトランジスタMTのドレインが対応するビット線BLi (i=1, 2, …) に接続され、セレクトトランジスタSTのソースが対応するソース線SLiに接続され、メモリトランジスタMTのソースとセレクトトランジスタSTのドレインが接続されている。

【0021】ソース線SLiとビット線BLiは列方向に配置され、メモリセル列ごとに設けられている。メモリトランジスタMTのゲートは、行方向に配置されたメモリワード線に接続されている。すなわち、第1行のメモリセルM11、M21、…のメモリトランジスタMTのゲートは、メモリワード線MWL1によって相互に接続されている。また、第2行のメモリセルM12、M22、…のメモリトランジスタMTのゲートはメモリワード線MWL2によって相互に接続されている。セレクトトランジスタSTのゲートは、行方向に配置されたセレクトワード線に接続されている。すなわち、第1行のメ

モリセルM11、M21、…のセレクトトランジスタSTのゲートは、セレクトワード線SWL1によって相互に接続されている。また、第2行のメモリセルM12、M22、…のセレクトトランジスタSTのゲートはセレクトワード線SWL2によって相互に接続されている。

【0022】図3は、このNOR型メモリセルアレイの概略平面図である。図4は、図3のA-A'線に沿った断面側から見た鳥瞰図である。図5は、メモリセルの行方向の概略断面図である。

【0023】このNOR型メモリセルアレイでは、図4に示すように、p型半導体基板SUB (pウエルでも可)の表面にトレンチまたはLOCOSなどから誘電体分離層ISOが形成されている。誘電体分離層ISOは、図3に示すように、列方向に長い平行ストライプ形状を有する。誘電体分離層ISOにほぼ直交して、メモリワード線MWLiと、セレクトワード線SWLi (i=1, 2, 3, 4, …) が配置されている。メモリワード線MWLiとセレクトワード線SWLiは、薄い誘電体膜を間に介在させて互いに並行に配置されている。

【0024】各誘電体分離層ISOの間隔内の半導体領域において、メモリワード線MWLiと1つ隣りのメモリワード線MWLi+1との間のスペースに、基板SUBと逆導電型の不純物が高濃度に導入されてドレイン領域Dが形成されている。また、セレクトワード線SWLiと1つ隣りのセレクトワード線SWLi+1との間のスペースに、ドレイン領域Dと一括して同じ不純物が導入されてソース領域Sが形成されている。このソース領域Sとドレイン領域Dは、その大きさが行方向には誘電体分離層ISOの間隔のみで規定され、列方向にはメモリワード線MWLiとMWLi+1との間隔あるいはセレクトワード線SWLiとSWLi+1との間隔で規定される。したがって、ソース領域Sとドレイン領域Dは、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0025】ワード線MWLi、SWLiの上部および側壁は、絶縁層で覆われている。すなわち、ワード線MWLi、SWLiの上部にオフセット絶縁層が配置され、それらの両側壁に、サイドウォール絶縁層が形成されている。このオフセット絶縁層およびサイドウォール絶縁層により、メモリワード線MWLiとMWLi+1とのスペース部分およびセレクトワード線SWLiとSWLi+1とのスペース部分に、ワード線に沿って細長い自己整合コンタクトホールが開口されている。

【0026】ソース領域Sまたはドレイン領域Dの一部重なるように、自己整合コンタクトホール内に導電性材料が互い違いに埋め込まれ、これによりビットコンタクトBCおよびソースコンタクトSCが形成されている。これらコンタクトBC、SCの形成では、自己整合コンタクトホール全域を埋め込むように導電材料を堆積し、

その上に、エッチングマスク用のレジストパターンを形成する。このとき、レジストパターンの一部を誘電体分離層ISOに重ねる。そして、このレジストパターンをマスクとしてレジストパターン周囲の導電材料をエッチングにより除去する。これにより、2種類のコンタクトBC, SCが同時に形成される。

【0027】図示しない絶縁膜でコンタクト周囲の凹部が埋め込まれている。この絶縁膜上を、ビットコンタクトBC上に接触するビット線BL1, BL2, ...と、ソースコンタクトSC上に接触するソース線SL1, ...が交互に、平行ストライプ状に形成されている。

【0028】このNOR型セルアレイは、そのビット線またはソース線に対するコンタクト形成が、自己整合コンタクトホール形成と、プラグの形成により達成される。自己整合コンタクトホール形成では、ワード線との絶縁分離が達成されるとともに、ソース領域Sまたはドレイン領域Dの表出面が均一に形成される。そして、ビットコンタクトBCおよびソースコンタクトSCの形成は、この自己整合コンタクトホール内のソース領域Sまたはドレイン領域Dの表出面に対して行う。したがって、各プラグの基板接触面は、その列方向のサイズがほぼ自己整合コンタクトホール形成により決められ、その分、コンタクト面積のバラツキは小さい。

【0029】ビットコンタクトBCまたはソースコンタクトSCと、ワード線との絶縁分離が容易である。すなわち、ワード線形成時に一括してオフセット絶縁層を形成しておき、その後、絶縁膜の成膜と、全面エッチング（エッチバック）を行うだけでサイドウォール絶縁層が形成される。また、ビットコンタクトBCとソースコンタクトSC、さらに、ビット線とソース線が同一階層の導電層をパターンニングして形成されるため、配線構造が極めて簡素であり、工程数も少なく、製造コストを低く抑えるのに有利な構造となっている。しかも、無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、 $8F^2$ に近いセル面積で製造できる。

【0030】図5において、ソース領域Sとドレイン領域Dとの間に挟まれ、ワード線MWLiおよびSWLiが交差する部分が、当該メモリトランジスタのチャネル形成領域CHとなる。

【0031】チャネル形成領域CH上のドレイン領域D側部分には、第1ゲート誘電体膜GD1を介在させてメモリゲートMG（メモリワード線MWLi）が積層されている。また、チャネル形成領域CH上のソース領域S側部分には、第2ゲート誘電体膜GD2を介在させてセレクトゲートMG（セレクトワード線SWLi）が積層されている。これらのワード線MWLi, SWLiは、p型またはn型の不純物が高濃度に導入されたドーブド多結晶珪素、またはドーブド多結晶珪素と高融点金属シリサイドとの積層膜からなる。ソース領域Sとドレ

イン領域Dとの間の距離で既定されるワード線対の実効ゲート長は、 $0.13\mu\text{m}$ 以下、たとえば 100nm 程度である。なお、第1ゲート誘電体膜GD1は、セレクトゲートSGとメモリゲートMGとの間に延在し、両ゲート間の分離絶縁膜として用いられている。

【0032】第1ゲート誘電体膜GD1は、下層から順に、ボトム誘電体膜BTM、電荷蓄積膜CHS、トップ誘電体膜TOPから構成されている。ボトム誘電体膜BTMは、たとえば、二酸化珪素膜を形成し、これを窒化処理して用いる。ボトム誘電体膜BTMの厚さは、 2.5nm から 6.0nm の範囲内で決めることができ、ここでは 2.7nm ～ 3.5nm に設定されている。

【0033】電荷蓄積膜CHSは、たとえば 6.0nm の窒化シリコン（SixNy（ $0 < x < 1$, $0 < y < 1$ ））膜から構成されている。この電荷蓄積膜CHSは、たとえば減圧CVD（LP-CVD）により作製され、膜中にキャリアトラップが多く含まれている。電荷蓄積膜CHSは、フレンケルプール型（FP型）の電気伝導特性を示す。

【0034】トップ誘電体膜TOPは、電荷蓄積膜CHSとの界面近傍に深いキャリアトラップを高密度に形成する必要があり、このため、例えば成膜後の窒化膜を熱酸化して形成される。トップ誘電体膜TOPをHTO（High Temperature chemical vapor deposited Oxide）法により形成したSiO₂膜としてもよい。トップ誘電体膜TOPがCVDで形成された場合は熱処理によりこのトラップが形成される。トップ誘電体膜TOPの膜厚は、メモリゲートMG（メモリワード線MWLi）からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも 3.0nm 、好ましくは 3.5nm 以上が必要である。

【0035】このような構成のメモリトランジスタの製造においては、まず、用意した半導体基板SUBに対し誘電体分離層ISOおよびpウェルWを形成した後に、必要に応じてしきい値電圧調整用のイオン注入等を行う。

【0036】つぎに、半導体基板SUB上に、たとえば数nm～数十nmの二酸化珪素膜とドーブド多結晶珪素とを形成し、これらをパターンニングして、第2ゲート誘電体膜GD2とセレクトゲートSG（セレクトワード線SWLi）とのからなる積層膜を得る。次に、全面に第1ゲート誘電体膜GD1を形成する。具体的に、たとえば、短時間高温熱処理法（RTO法）により 1000°C 、 10sec の熱処理を行い、酸化シリコン膜（ボトム誘電体膜BTM）を形成する。ボトム誘電体膜BTM上にLP-CVD法により窒化シリコン膜（電荷蓄積膜CHS）を、最終膜厚が 6nm となるように、これより厚めに堆積する。このCVDは、たとえば、ジクロロシラン（DCS）とアンモニアを混合したガスを用い、基板温度 730°C で行う。形成した窒化シリコン膜表面を

熱酸化法により酸化して、たとえば3.5nmの酸化シリコン膜(トップ誘電体膜TOP)を形成する。この熱酸化は、たとえばH₂O雰囲気中で炉温度950℃で40分程度行う。これにより、トラップレベル(窒化シリコン膜の伝導帯からのエネルギー差)が2.0eV以下の程度の深いキャリアトラップが約 $1 \sim 2 \times 10^{11}/\text{cm}^2$ の密度で形成される。また、窒化膜が1nmに対し熱酸化シリコン膜(トップ誘電体膜TOP)が1.5nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜の最終膜厚が6nmとなる。

【0037】全面に多結晶珪素を堆積して、これをエッチバックして、セレクトゲートSGの両側に導電性サイドウォールを形成する。このときのエッチバックにより、導電性サイドウォールの周囲とセレクトゲートSG上の第1ゲート誘電体膜GD1が除去される。セレクトゲートSGと片側の導電性サイドウォールとの上にオフセット絶縁膜を形成し、これをマスクにもう一方側の導電性サイドウォールを除去する。この状態で、n型不純物を基板にイオン注入し、ソース領域Sとドレイン領域Dを形成する。オフセット絶縁膜とゲートMG、SGとの積層体の側面に、絶縁性サイドウォール形成する。これにより自己整合コンタクトが形成され、自己整合コンタクトにより表出するソース領域Sおよびドレイン領域Dに、ビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらプラグ周囲を層間絶縁膜で埋め込み、層間絶縁膜上にビット線およびソース線を形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0038】図6は、メモリセル構造の他の形態を示す概略断面図である。このセル構造では、セレクトゲートSGとメモリゲートMGとの間に、第1ゲート誘電体膜GD1のほか絶縁性スペーサSPRが形成されている。また、メモリゲートMGはサイドウォール形状となっていない。

【0039】このセルの製造では、第2ゲート誘電体膜GD2とセレクトゲートSGとの積層体を形成した後、その両側面に絶縁性サイドウォールを形成し、全面に、第1ゲート誘電体膜GD1を形成し、多結晶珪素を堆積する。その上から多結晶珪素をエッチバックし、セレクトゲートSG上の第1ゲート誘電体膜GD1を表出させ、さらに、そのセレクトゲートSG上の第1ゲート誘電体膜GD1をエッチングにより除去する。全面に誘電体からなるオフセット絶縁層を形成する。このとき、オフセット絶縁層の片側のエッジはセレクトゲートSGの一方のエッジ上方に位置させる。このオフセット絶縁層の形成時に用いたレジストをマスクに、メモリゲートMGとなる多結晶珪素を分離する。続いて、そのオフセット絶縁層の周囲に表出した第1ゲート誘電体膜GD1を

エッチングにより除去する。このとき同時に、セレクトゲートSGの片側の絶縁性サイドウォールが除去され、もう一方側の絶縁性サイドウォールはオフセット絶縁層の下方に保護されて絶縁性スペーサSPRとして残る。

55 【0040】つぎに、このような構成の不揮発性メモリのバイアス設定例および動作について、メモリセルM11にデータを書き込む場合を例に説明する。図7(A)は、書き込み時のバイアス条件を示す回路図、図7

(B)は消去時のバイアス条件を示す回路図である。また、図8(A)は書き込み動作を示す図、図8(B)は消去動作を示す図である。

【0041】書き込み時に、図7(A)に示すように、基板およびソース線SL1を基準電圧で保持し、選択したビット線BL1に所定の正電圧、例えば4.0Vを印加する。また、選択したメモリワード線MWL1に所定のプログラム電圧、例えば5.0Vを印加し、選択したセレクトワード線SWL1にプログラム電圧より低い正の電圧、例えば1.8Vを印加する。このとき、非選択のメモリワード線MWL2、…および非選択のセレクトワード線SWL2、…は0Vとする。

【0042】この書き込み条件下、図8(A)に示すように、書き込み対象のメモリセルM11においてチャネルが形成される。そのとき、セレクトゲートSGとメモリゲートMGの境界付近下方で高電界が発生する。ソース領域Sから供給されたチャネル電子がソースとドレイン間電圧4Vにより加速されて、高電界領域でエネルギーの高い電子(ホットエレクトロンHE)が発生する。ホットエレクトロンHEの一部が、第1ゲート誘電体膜GD1の最下層のボトム誘電体膜BTMを構成する二酸化珪素とシリコンとのエネルギー障壁3.2eVを越えて、第1ゲート誘電体膜GD1内の電荷トラップにソース側から注入され、書き込みが行われる。なお、この書き込み方法では、他のビット線BL2、…の印加電圧を4Vとするか0Vで維持するかを決めることによって、ページ書き込みが可能である。

【0043】消去時に、図7(B)に示すように、基板を基準電圧で保持し、ソース線SLは例えばオープンとする。選択したビット線BL1に所定の正電圧、例えば5.0Vを印加し、選択したメモリワード線MWL1に負の所定のプログラム電圧、例えば-5.0Vを印加する。このとき、選択したセレクトワード線SWL1に対しては、0Vを印加するか、必要に応じて、プログラム電圧より電圧値が小さい負電圧を印加する。また、非選択のメモリワード線MWL2、…および非選択のセレクトワード線SWL2、…は0Vとする。

【0044】この消去条件下、図8(B)に示すように、プログラム電圧(負電圧)によりビット線BL1に接続されたドレイン領域Dの表面が深い空乏状態となり、エネルギーバンドの曲がり急峻となる。このときバンド間トンネル効果により電子が価電子帯より導電帯

にトンネルし、n型不純物領域（ドレイン領域D）側に流れ、その結果、ホールが発生する。発生したホールは、チャネル形成領域の中央部側に若干ドリフトして、そこで電界加速され、その一部がホットホールとなる。このn型不純物領域端で発生した高エネルギー電荷（ホットホール）は、その運動量（方向と大きさ）を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に第1ゲート誘電体膜GD1内の電荷トラップに注入される。

【0045】この消去では、セレクトゲートSGの印加電圧により、ドレイン領域D側のチャネル形成領域の電界を変化させ、これによって、ホットホールの注入位置を制御することができる。例えば、図8（B）に示すように、セレクトゲートSGの印加電圧によりホットホールのドリフト量が変化し、ホットホールHH1とHH2のように異なる位置から第1ゲート誘電体膜GD1内に電荷注入することができる。その制御により、書き込み時のホットエレクトロンHEの注入位置にホットホールを効率良く注入することができ、その結果、消去効率が向上する。

【0046】読み出しでは、ページ読み出しを基本とする。図9は、読み出し時のバイアス条件を示す回路図である。この読み出しは、書き込み時とソース・ドレイン間電圧の印加方向が同じフォワードバイアスにて行う。図9に示すように、ビット線BL1、BL2、…に所定のドレイン電圧、たとえば1.0Vを印加する。非選択のメモリワード線MWL2…および非選択のセレクトワード線SWL2…に所定の読み出し禁止電圧、たとえば-0.3Vを印加し、ソース線SL1、SL2、および基板に0Vを印加する。この状態で、選択されたセレクトワード線SWL1にセレクトトランジスタSTがオンする電圧、例えば1.8~2.4Vを印加し、選択されたメモリワード線MWL1に所定の正電圧、たとえば1.8~2.4Vを印加する。これにより、選択行のメモリセルM11、M21、…において、書き込み状態に応じてメモリトランジスタMTがオンまたはオフし、オンした場合のみビット線電圧が変化する。この電圧変化を図示しないセンスアンプ等で増幅して読み出す。

【0047】ところで、セレクトトランジスタSTがない場合、消去時にホットホール注入が過剰に行われメモリトランジスタMTのしきい値電圧が大きく低下すると、読み出し時の電流量がばらつく上、電流消費も無駄が多い。

【0048】本発明のようにセレクトトランジスタSTを有したセル構造では、そのセレクトトランジスタSTのしきい値電圧 $V_{th}(ST)$ が、たとえば0.5~0.6V程度に予め設定されている。このため、メモリトランジスタMTに過剰消去がされている場合でも、その影響を読み出し時に受けない。なぜなら、メモリトランジスタMTのしきい値電圧 $V_{th}(MT)$ が大きく低下し読み出し電

流が増大しようとする、セレクトトランジスタSTがカットオフしリミッタとして機能するからである。したがって、このメモリセルではセレクトトランジスタSTのしきい値電圧制御を通して読み出し電流の上限が制御でき、無駄な電流消費がないという利点がある。

【0049】書き込み状態、消去状態のメモリセルの電流-電圧特性について検討した。この結果、ドレイン電圧1.0Vでの非選択セルM12、…からのオフリーク電流値は、読み出し時に非選択ワード線MWLi、SWLiを-0.3V程度にバイアスしているため、約1nAと小さかった。この場合の読み出し電流は1 μ A以上であるため、非選択セルの誤読み出しが生じることはない。したがって、ゲート長100nmのMONOS型メモリトランジスタMTにおいて読み出し時のパンチスルー耐圧のマージンは十分あることが分かった。また、ゲート電圧1.8Vでのリードディスターブ特性も評価したが、 3×10^4 sec以上時間経過後でも読み出しが可能であることが分かった。

【0050】ボトム誘電体膜BTMの膜厚が2.9nmのメモリトランジスタMTのデータ書き換え特性を検討した。その結果、10万回までのしきい値電圧差のナローイング(narrowing)は小さく、書き換え回数10万回を満足していることが分かった。また、上記何れの場合も、書き換え回数100万回までは十分なしきい値電圧差が維持されていることを確認した。データ保持特性は 1×10^4 回のデータ書換え後で85°C、10年を満足した。

【0051】以上より、ゲート長100nmのMONOS型不揮発性メモリトランジスタとして十分な特性が得られていることを確かめることができた。

【0052】第2実施形態

図10に第2実施形態に係るメモリセルアレイの等価回路を示す。図11に、このメモリセルアレイの行方向の断面側から見た鳥瞰図を示す。

【0053】図10に示すメモリセルアレイは、図2の第1実施形態に係るメモリセルアレイと比較すると、行方向に隣接する2セルが1本のソース線SLを共有している。したがって、この2セルで見ると、中央のソース線SLの両側に2つのセレクトトランジスタSTが接続され、そのそれぞれの外側にメモリトランジスタMTが配置されている。セレクトトランジスタSTのドレインと、メモリトランジスタMTのソースが接続され、メモリトランジスタMTのドレインが対応するビット線BL1またはBL2に接続されている。

【0054】図2のメモリセルアレイでは、同一行に属するメモリトランジスタMTのゲート（メモリゲートMG）が行方向に長いメモリワード線MWLiに接続されていた。これに対し、図10のメモリセルアレイでは、同一列に属するメモリトランジスタMTのゲートが、列方向に長い制御線CLiに接続されている。

【0055】この2列のメモリセル群が、メモリセルアレイ全体では繰り返されることになる。2列のメモリセル群同士は、例えばLOCOSまたはトレンチ素子分離層等の誘電体分離層ISO1により絶縁分離されている。このように、第2実施形態に係るメモリセルアレイは、FG型における、いわゆるHi-CR型と同じアレイ構成となる。

【0056】図11において、基板SUB内の表面側にpウェルWが形成され、そのウェル表面側部分に、列方向に長い平行ストライプ状のSTIからなる誘電体分離層ISO1が形成されている。2つの誘電体分離層ISO1に挟まれたウェル部分に、3本のn⁺不純物領域が誘電体分離層ISO1と平行なストライプ状に形成されている。その外側の2本は誘電体分離層ISO1に隣接し、ビット線BL1、BL2を構成する。ビット線BL1、BL2に挟まれた中央のn⁺不純物領域は、共有ソース線SLを構成する。

【0057】共有ソース線SLの幅方向両側のp型ウェル領域上に、単層の第2ゲート誘電体膜GD2を介在させた状態で制御ゲートSGが設けられている。制御ゲートSGは、例えばドーパド多結晶珪素、ドーパド非晶質珪素などからなり列方向に長い平行ストライプ形状の導電材料から構成される。ただし、この導電材料は、セル間領域に該当する箇所と離散的に絶縁化され、これにより誘電体分離層ISO2が形成されている。

【0058】セレクトゲートSGおよび誘電体分離層ISO2の外側の側面それぞれに、誘電体膜、ここでは第1ゲート誘電体膜GD1を介在させた状態で導電性サイドウォールからなる制御線CL1、CL2が形成されている。制御線CL1、CL2はメモリトランジスタMTのゲート電極（メモリゲートMG）として機能する。制御線CL1は、セレクトゲートSGとビット線BL1との間のp型ウェル表面領域に対し、電荷蓄積能力を有した第1ゲート誘電体膜GD1を挟んで対峙する。同様に、制御線CL2は、セレクトゲートSGとビット線BL2との間のp型ウェル表面領域に対し、電荷蓄積能力を有した第1ゲート誘電体膜GD1を挟んで対峙する。

【0059】同一行のセルに属する複数の制御ゲートSGは、行方向に長い上層配線からなるワード線WL1、WL2、…の何れかに導電性プラグ等を介して接続されている。特に図示していないが、導電性プラグ周囲およびセル間スペースに層間絶縁膜を構成する絶縁材料が埋め込まれ、ワード線WL1、WL2、…は、この層間絶縁膜上に配置されている。

【0060】このメモリセルは、ソース線が2つのメモリセル列間で共有されていることから、行方向のメモリセルサイズが第1実施形態より若干短縮され、約7F²（=3.5F×2F）のセル面積が実現されている。

【0061】なお、各メモリセルの断面構造自体は図5と同じであり、図6の変形も可能である。また、第1、

第2ゲート誘電体膜GD1、GD2の材料およびその形成方法も第1実施形態と同じである。さらに、基本的な書き込み、消去および読み出しの動作は第1実施形態と同じである。したがって、ここでの詳細な説明は省略する。

【0062】第2実施形態においても、第1実施形態と同様に、特に消去にドレイン側からのホットホール注入を用い、検証読み出しをフォワードバイアスにて行うことから、消去および読み出しを含む書き込み動作のサイクル時間をトータルで短くできるという利点がある。また、チャンネル中央部にMIS型トランジスタSTが形成され、そのMIS型トランジスタSTのしきい値電圧V_{th}(ST)が、たとえば0.5~0.6Vに予め設定されている。このため、第1実施形態と同様に、メモリトランジスタが過剰消去されている場合でも、その読み出し時に、MIS型トランジスタが電流リミッタとして機能し、読み出し電流の上限が規制され、無駄な電流消費がないという利点がある。

【0063】第3実施形態

図12に第3実施形態に係るメモリセルアレイの等価回路を示す。図13に、このメモリセルアレイの平面図を、図14に図13のB-B'線に沿った断面側から見た鳥瞰図を示す。

【0064】このメモリセルアレイでは、ビット線が主ビット線と副ビット線とに階層化され、ソース線が主ソース線と副ソース線とに階層化されている。主ビット線MBL1にセレクトトランジスタS11を介して副ビット線SBL1が接続され、主ビット線MBL2にセレクトトランジスタS21を介して副ビット線SBL2が接続されている。また、主ソース線MSL1にセレクトトランジスタS12を介して副ソース線SSL1が接続され、主ソース線MSL2にセレクトトランジスタS22を介して副ソース線SSL2が接続されている。

【0065】副ビット線SBL1と副ソース線SSL1との間に、スプリットゲート構造のメモリトランジスタMT11~MT1n（たとえば、n=128）が並列接続され、副ビット線SBL2と副ソース線SSL2との間に、メモリトランジスタMT21~MT2nが並列接続されている。この互いに並列に接続されたn個のメモリトランジスタと、2つのセレクトトランジスタ（S11とS12、又は、S21とS22）とにより、メモリセルアレイを構成する単位ブロックが構成される。

【0066】ワード方向に隣接するメモリトランジスタMT11、MT21、…の各ゲートがワード線WL1に接続されている。同様に、メモリトランジスタMT12、MT22、…の各ゲートがワード線WL2に接続され、また、メモリトランジスタMT1n、MT2n、…の各ゲートがワード線WLnに接続されている。ワード方向に隣接するセレクトトランジスタS11、…は選択ゲート線SG11により制御され、セレクトトランジスタ

タS21, …は選択ゲート線SG21により制御される。同様に、ワード方向に隣接するセレクトトランジスタS12, …は選択ゲート線SG12により制御され、セレクトトランジスタS22, …は選択ゲート線SG22により制御される。

【0067】このメモリセルアレイでは、図14に示すように、半導体基板SUBの表面にpウェルWが形成されている。pウェルWは、トレンチに絶縁物を埋め込んでなり平行ストライプ状に配置された誘電体分離層ISOにより、ワード方向に絶縁分離されている。

【0068】誘電体分離層ISOにより分離された各pウェル部分が、メモリトランジスタの活性領域となる。活性領域内の幅方向両側で、互いの距離をおいた平行ストライプ状にn型不純物が高濃度に導入され、これにより、副ビット線SBL1, SBL2 (以下、SBLと表記) および副ソース線SSL1, SSL2 (以下、SSLと表記) が形成されている。副ビット線SBLおよび副ソース線SSL上に絶縁膜を介して直交して、各ワード線WL1, WL2, WL3, WL4, … (以下、WLと表記) が等間隔に配線されている。これらのワード線WLは、内部に電荷蓄積手段を含む誘電体膜または単層の誘電体膜を介してpウェルW上および誘電体分離層ISO上に接している。副ビット線SBLと副ソース線SSLとの間のpウェルWの部分と、各ワード線WLとの交差部分がメモリトランジスタのチャネル形成領域となり、そのチャネル形成領域に接する副ビット線部分がドレイン、副ソース線部分がソースとして機能する。

【0069】ワード線WLの上面および側壁は、オフセット絶縁層および絶縁性サイドウォール (本例では、通常の層間絶縁層でも可) により覆われている。これら絶縁層には、所定間隔で副ビット線SBLに達するビットコンタクトBCと、副ソース線SSLに達するソースコンタクトSCとが形成されている。これらのコンタクトBC, SCは、たとえば、ビット方向のメモリトランジスタ128個ごとに設けられている。また、絶縁層上を、ビットコンタクトBC上に接触する主ビット線MBL1, MBL2, … (以下、MBLと表記) と、ソースコンタクトSC上に接触する主ソース線MSL1, MSL2, … (以下、MSLと表記) が交互に、平行ストライプ状に形成されている。

【0070】このメモリセルアレイは、ビット線およびソース線が階層化され、メモリセルごとにビットコンタクトBCおよびソースコンタクトSCを形成する必要がない。したがって、コンタクト抵抗自体のバラツキは基本的でない。ビットコンタクトBCおよびソースコンタクトSCは、たとえば128個のメモリセルごとに設けられるが、このプラグ形成を自己整合的に行わないときは、オフセット絶縁層および絶縁性サイドウォールは必要ない。すなわち、通常の層間絶縁膜を厚く堆積してメモリトランジスタを埋め込んだ後、通常のフォトリソグ

ラフィとエッチングによりコンタクトを開口する。

【0071】副ビット線および副ソース線を不純物領域で構成した疑似コンタクトレス構造として無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、 $8F^2$ に近い非常に小さいセル面積で製造できる。さらに、ビット線とソース線が階層化されており、セレクトトランジスタS11又はS21が非選択の単位ブロックにおける並列メモリトランジスタ群を主ビット線MBL1またはMBL2から切り離すため、主ビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、セレクトトランジスタS12またはS22の働きで、副ソース線を主ソース線から切り離して、低容量化することができる。なお、更なる高速化のためには、副ビット線SBLおよび副ソース線SSLをシリサイドを張りつけた不純物領域で形成し、主ビット線MBLおよび主ソース線MSLをメタル配線とするとよい。

【0072】図15に、メモリトランジスタの行方向の拡大断面図を示す。図15において、副ビット線をなすドレイン不純物領域Dと副ソース線をなすソース領域Sとの間に挟まれ、ワード線WLが交差する部分が、当該メモリトランジスタのチャネル形成領域CHとなる。

【0073】チャネル形成領域CH上には、第1ゲート誘電体膜GD1または第2ゲート誘電体膜GD2を介してメモリトランジスタのゲート電極 (ワード線WL) が積層されている。第1ゲート誘電体膜GD1は複数の誘電体層を積層させ、内部に電荷トラップを多く含む膜であり、第2ゲート誘電体膜GD2は単層の膜であり、電荷蓄積能力を有しない。第1ゲート誘電体膜GD1は、ドレイン領域D上の途中からチャネル形成領域CH上の途中まで延在する。その他のチャネル形成領域部分上、ドレイン領域部分上、およびソース領域S上の全域に、第2ゲート誘電体膜GD2が形成されている。第1ゲート誘電体膜GD1および第2ゲート誘電体膜GD2の膜構造、および製造方法は、第1実施形態と同じである。

【0074】ワード線WLは、一般に、p型またはn型の不純物が高濃度に導入されて導電化されたドーパド多結晶珪素、またはドーパド多結晶珪素と高融点金属シリサイドとの積層膜からなる。ソース領域Sとドレイン領域Dとの距離で既定される、このメモリトランジスタの実効ゲート長は $0.13\mu\text{m}$ 以下、たとえば 100nm 程度である。本実施形態のメモリセルでは、このように第1ゲート誘電体膜GD1上の電極と第2ゲート誘電体膜GD2上の電極が共通の導電層からなる。これは、いわゆるスプリットゲートと称されるゲート構造と同じである。

【0075】このメモリセルアレイの製造においては、まず、用意した半導体基板SUBに対し誘電体分離層ISOおよびpウェルWを形成した後に、副ビット線SBL (ドレイン領域D) および副ソース線SSL (ソース

領域S)となる不純物領域をイオン注入により形成する。また、しきい値電圧調整用のイオン注入等を必要に応じて行う。

【0076】つぎに、pウェルW上に第1ゲート誘電体膜GD1と第2ゲート誘電体膜GD2を作り分ける。具体的には、第1実施形態と同様な方法によって全面に第1ゲート誘電体膜GD1を形成する。この第1ゲート誘電体膜GD1をパターンニングする。すなわち、第1ゲート誘電体膜GD1を、ドレイン領域Dの端部を含む必要な領域(メモリ部)に残して、他の領域(非メモリ部)で除去する。そして、この第1ゲート誘電体膜GD1を除去したウェル表面を熱酸化して第2ゲート誘電体膜GD2を形成する。なお、上記第1ゲート誘電体膜GD1の形成では、ボトム誘電体膜BTMと電荷蓄積膜CHSとまで行い、この第2ゲート誘電体膜GD2の熱酸化と同時に、第1ゲート誘電体膜GD1のトップ誘電体膜TOPを形成してもよい。あるいは、第1ゲート誘電体膜GD1の除去工程において、非メモリ部でトップ誘電体膜TOPと電荷蓄積膜CHSのみを除去し、さらに必要な熱酸化を行って非メモリ部に残ったボトム誘電体膜BTMの膜厚を増加させ、これにより第2ゲート誘電体膜GD2を形成してもよい。

【0077】ワード線WLとなる導電膜とオフセット絶縁層(不図示)との積層膜を積層させ、この積層膜を一括して同一パターンにて加工する。このときワード線周囲の第1ゲート誘電体膜GD1および第2ゲート誘電体膜GD2も除去する。続いて、図14のメモリセルアレイ構造とするために、絶縁性サイドウォールの形成によって自己整合コンタクトを開口し、自己整合コンタクトにより表出するドレイン領域D(副ビット線SBL)およびソース領域S(副ソース線SSL)上に、ビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらプラグ周囲を層間絶縁膜で埋め込み、層間絶縁膜上に主ビット線MBLおよび主ソース線MSLを形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該メモリセルアレイを完成させる。

【0078】図12のセレクトトランジスタS11~S22をオンまたはオフさせる動作が必要となるが、それ以外の基本的な書き込み、消去および読み出しの動作は第1実施形態と同じである。したがって、ここでの詳細な説明は省略する。

【0079】ただし、スプリットゲート型トランジスタにおいては、第1ゲート誘電体膜GD1が形成されたドレイン側のメモリ部と、第2ゲート誘電体膜GD2が形成されたソース側の非メモリ部とは、共通のゲート電極により制御される。このため、必然的に、メモリ部と非メモリ部のゲート印加電圧は同じとなる。この点が、第1実施形態と異なり、本実施形態での動作は、第1実施形態においてセレクトゲートSGとメモリゲートMGと

の印加電圧が等しい特殊な場合に相当する。このため、書き込み時のホットエレクトロンHEの注入効率は第1実施形態ほど向上しない可能性があり、消去時のホットホール注入位置制御にも限界がある。その一方で、本実施形態のメモリセルのゲート構造は第1実施形態より簡素であり、製造工程も少なく、メモリセル面積も小さくしやすいという利点がある。

【0080】第3実施形態においても、第1実施形態と同様に、特に消去到ドレイン側からのホットホール注入を用い、検証読み出しをフォワードバイアスにて行うことから、消去および読み出しを含む書き込み動作のサイクル時間をトータルで短くできるという利点がある。

【0081】第1~第3実施形態で示した以外のセルアレイ構造、例えば、バーチャルグラウンドセル構造であっても本発明が適用できる。また、以上の第1~第3実施形態では、メモリトランジスタとしてMONOS型を説明したが、本発明は、いわゆるMNOS型、シリコンナノ結晶型、微細分割FG型など、電荷蓄積手段が少なくとも平面方向で離散化された構造のメモリトランジスタ全てに適用できる。

【0082】

【発明の効果】以上説明してきたように、本発明に係る不揮発性半導体メモリ装置の動作方法によれば、消去(および読み出し)を含む書き込み動作のサイクル時間をトータルで短くできる。また、並列動作のセル数を大きくできることから、メモリセルアレイ全体の動作時間を短くできる。また、最大動作電圧を5Vにまで低電圧化可能なため、通常広く用いられている周辺回路の高耐圧回路は必要なく、低耐圧仕様のトランジスタで周辺回路を構成できる。その結果として、マスク枚数を低減でき、混載NVM(Non-Volatile Memory)として、低コスト化することができる。

【0083】本発明に係る不揮発性半導体メモリ装置は、このような効果を奏する動作方法を好適に実施できる構成を有している。また、電荷蓄積手段が離散化されているため電荷保持特性に優れ、記憶素子のスケールアップが容易であり、かつ動作電圧を低くできる。このため、CMOSプロセスとの親和性が高く、低コストのメモリ混載システムLSIとして実現が容易である。

【図面の簡単な説明】

【図1】本発明の実施形態に係る不揮発性メモリ装置の要部構成を示すブロック図である。

【図2】本発明の第1実施形態に係る分離ソース線NOR型メモリセルアレイの等価回路図である。

【図3】本発明の第1実施形態に係るメモリセルアレイの概略平面図である。

【図4】本発明の第1実施形態に係り、図3のA-A'線に沿った断面側から見た鳥瞰図である。

【図5】本発明の第1実施形態に係るメモリセルの行方向の概略断面図である。

【図6】本発明の第1実施形態において、メモリセル構造の他の形態を示す概略断面図である。

【図7】(A)は本発明の第1実施形態に係るメモリセルアレイの書き込み時のバイアス条件を示す回路図、(B)は消去時のバイアス条件を示す回路図である。

【図8】(A)は本発明の第1実施形態に係るメモリセルアレイの書き込み動作を示す図、(B)は消去動作を示す図である。

【図9】本発明の第1実施形態に係るメモリセルアレイの読み出し時のバイアス条件を示す回路図である。

【図10】本発明の第2実施形態に係るメモリセルアレイの等価回路図である。

【図11】本発明の第2実施形態に係るメモリセルアレイの、行方向の断面側から見た鳥瞰図である。

【図12】本発明の第3実施形態に係るメモリセルアレイの等価回路図である。

【図13】本発明の第3実施形態に係るメモリセルアレイ

の平面図である。

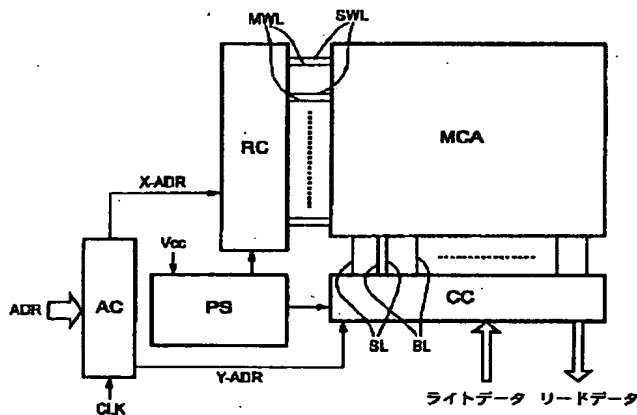
【図14】本発明の第3実施形態に係り、図13のB-B'線に沿った断面側から見た鳥瞰図である。

【図15】本発明の第2実施形態に係るメモリトランジスタの行方向の拡大断面図である。

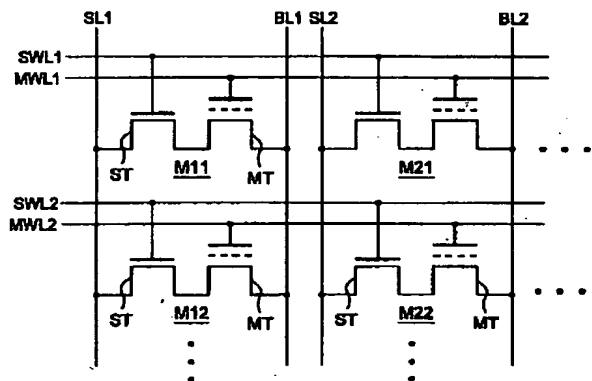
【符号の説明】

MCA…メモリセルアレイ、RC…ロウ制御回路（電圧供給回路）、CC…カラム制御回路（電圧供給回路）、PS…電源（電圧供給回路）、M11等…メモリセル、MT…メモリトランジスタ、ST…セレクトトランジスタ（MIS型トランジスタ）、MG…メモリゲート（第1ゲート電極）、SG…セレクトゲート（第2ゲート電極）、SL1等…ソース線、BL1等…ビット線、MWL1等…メモリワード線（ワード線）、SWL1等…セレクトワード線、CL1等…制御線、GD1…第1ゲート誘電体膜、GD2…第2ゲート誘電体膜。

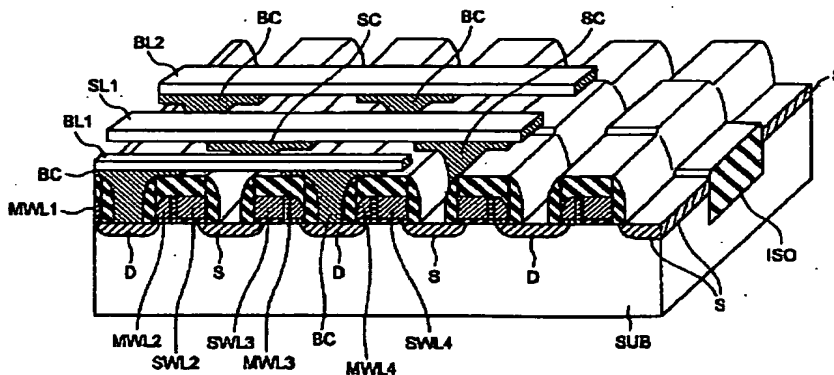
【図1】



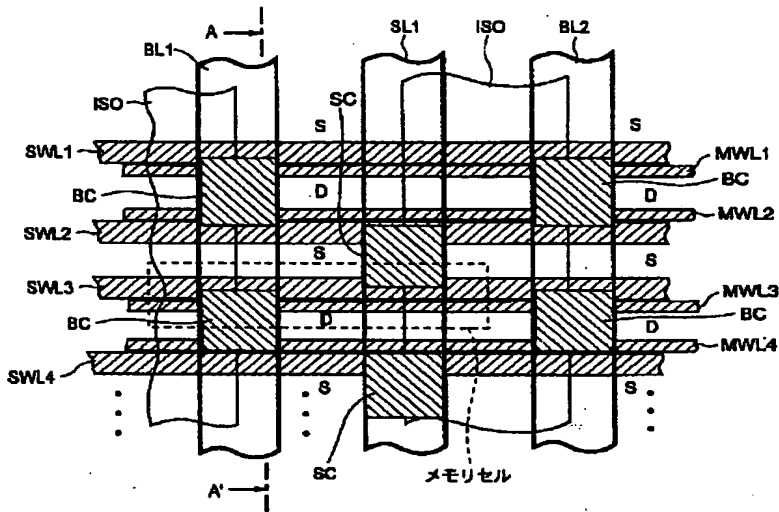
【図2】



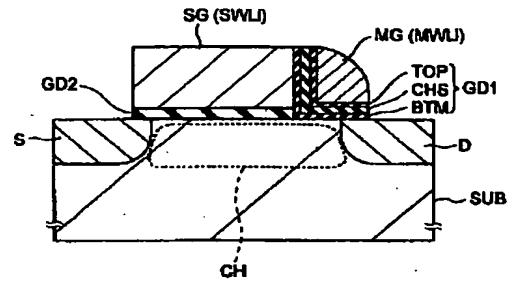
【図4】



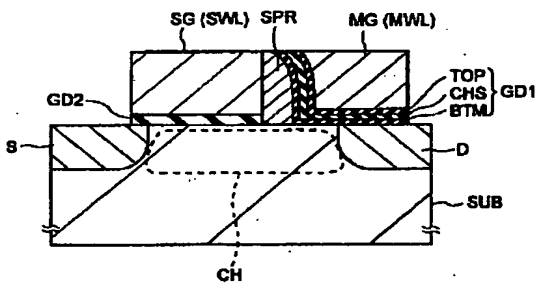
【図3】



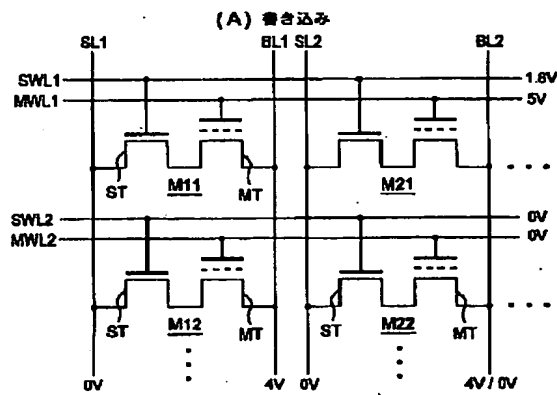
【図5】



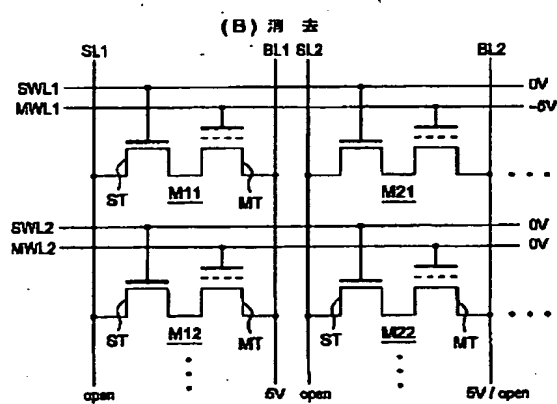
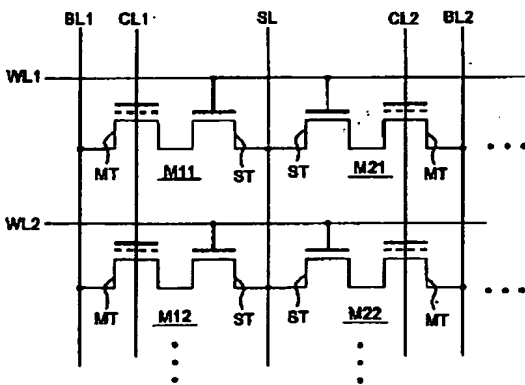
【図6】



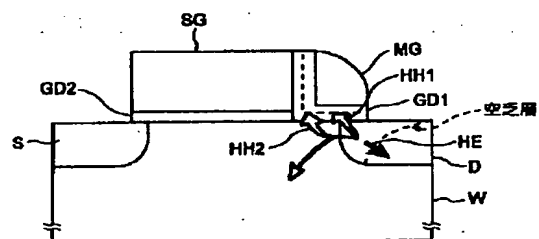
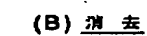
【図7】



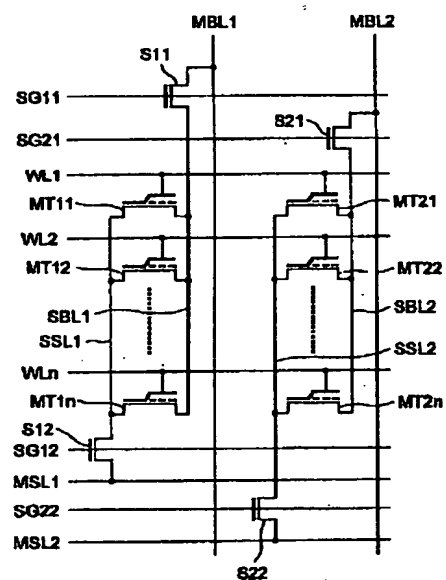
【図10】



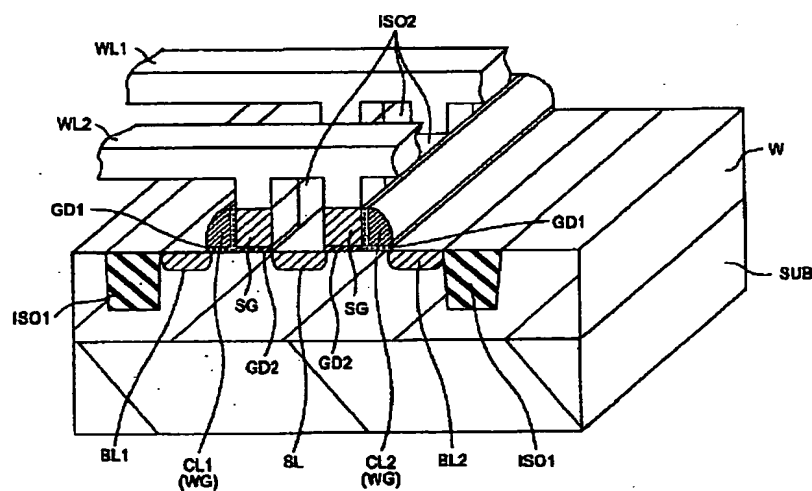
【図9】



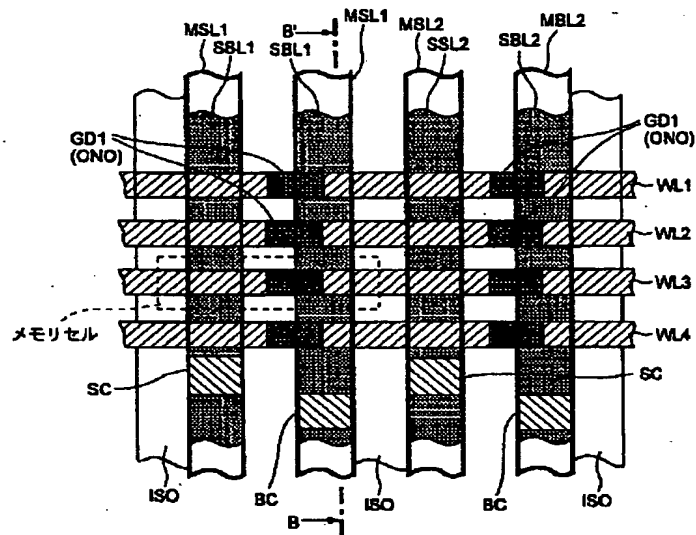
【图 12】



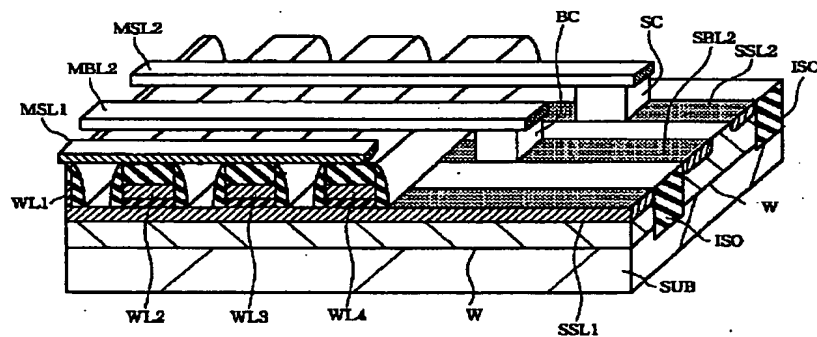
【图 1 1】



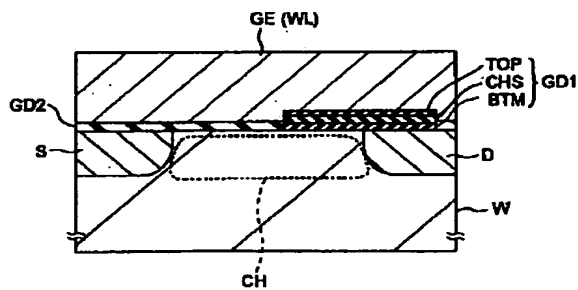
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.

識別記号

F I

テーム(参考)

H 0 1 L 29/792

Fターム(参考) 5B025 AA07 AC01 AD04 AD08 AE05

AE07

5F083 EP18 EP32 EP34 EP35 EP77

ER02 ER05 ER11 ER30 GA06

KA06 KA12 LA12 LA16 MA06

MA16 MA19 NA01 PR13 PR39

5F101 BA45 BC11 BD10 BD22 BD36

BE05 BE07

10